

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029406

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 21/66
G01R 1/073
G01R 31/26

(21)Application number : 03-178179

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.07.1991

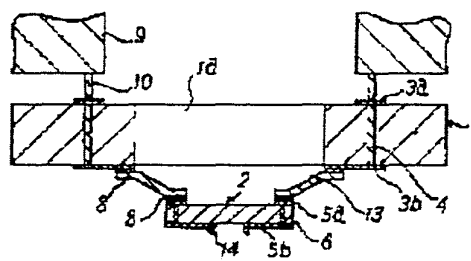
(72)Inventor : NAKAO SHIN

(54) SEMICONDUCTOR INSPECTION APPARATUS

(57)Abstract:

PURPOSE: To obtain a semiconductor inspection apparatus wherein, irrespective of the parallelism of the surface of a semiconductor wafer to the surface of an inspection board, the good electric contact of an electrode pad on the semiconductor wafer with a bump electrode on the inspection board is ensured and the reliability of an inspection is increased.

CONSTITUTION: A plurality of wiring patterns 3a, 3b which have been connected electrically by a through hole 4 are formed on both faces of a probe card 1. A plurality of wiring patterns 5a, 5b which have been connected electrically by a through hole 6 are formed on both faces of an inspection board 2. The inspection board 2 is supported elastically by the probe card 1 in a state that the wiring pattern 5a has been connected electrically to the wiring pattern 3b by means of a tungsten wire 13. A bump electrode 14 which is provided with a sharp tip shape is formed at the end part of the wiring pattern 5b on the inspection board 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(citation 6)

Japanese Patent Laying-Open Publication No. H5-29,406

Publication Date: February 5, 1993

Application No. H3-178,179 filed July 18, 1991

Inventor: Shin NAKAO

Applicant: Mitsubishi Denki K.K.

Title of the invention: Semiconductor testing apparatus

(Claim 1)

A semiconductor testing apparatus comprising a probe card (1) formed with wiring patterns (3a,3b), a testing board (2) formed with wiring patterns (5a,5b) which are electrically connected to said wiring patterns of said probe card and projection electrodes (14) formed on said testing board, wherein said projection electrodes make electrical contact with electrode pads (12) disposed on a semiconductor wafer (11) for testing semiconductor devices, characterized in that said projection electrodes have a pointed tip shape.

(Abridgment of the description)

Figs. 4 shows a prior art testing apparatus comprising a probe card 1 having wiring patterns 3a,3b on both sides connected through vias 4 and a testing board 2 also having wiring patterns 5a,5b on both sides connected through vias 6. The wiring patterns 3a,3b of the probe card 1 and the wiring patterns 5a,5b of the testing board 2 are connected through a conductive adhesive 8. Indicated at 9 is a testing apparatus having contact pins 10 and the wiring pattern 5b on the bottom surface of the testing board 2 are terminated at projection electrodes 7. When the testing board 2 and a semiconductor wafer 11 are not in parallel, however, good electrical contact is not achieved as shown in Fig. 6. According to the invention, the projection electrodes are made to have pointed ends 14 which can bite into electrode pads 12 of the wafer 11. The wiring pattern 3b on the bottom surface of the probe card 1 and the wiring pattern 5a on the top surface of the testing board 2 are connected through tungsten wires 13 adhered to the wiring patterns at their ends. By this structure, if the wafer 11 is beveled with relative to the testing board 2, parallelism can be achieved through deformation of the tungsten wires 13.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 9 4 0 6

(43) 公開日 平成 5 年 (1993) 2 月 5 日

(51) Int. Cl. ⁵

識別記号

庁内整理番号

F I

技術表示箇所

H01L 21/56

B 7013-4M

G01R 1/073

E 9016-2G

31/26

J 8411-2G

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平 3 - 1 7 8 1 7 9

(22) 出願日 平成 3 年 (1991) 7 月 1 8 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 中尾 伸

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会

社エル・エス・アイ研究所内

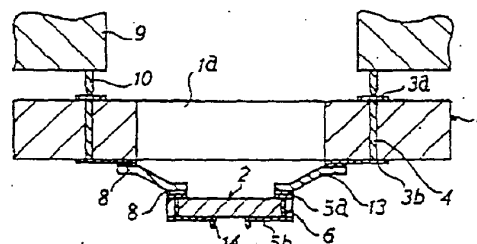
(74) 代理人 弁理士 曾我 道照 (外 6 名)

(54) 【発明の名称】 半導体検査装置

(57) 【要約】

【目的】 この発明は、半導体ウエハ表面と検査基板表面との平行性に拘わらず、半導体ウエハ上の電極パッドと検査基板の突起電極との良好な電氣的接触を確保し、検査の信頼性を高める半導体検査装置を得ることを目的とする。

【構成】 プローブカード 1 の両面には、スルーホール 4 で電氣的に接続された複数の配線パターン 3 a、3 b が形成されている。検査基板 2 の両面には、スルーホール 6 で電氣的に接続された複数の配線パターン 5 a、5 b が形成されている。検査基板 2 は、タングステン線 1 3 により配線パターン 5 a のそれぞれが配線パターン 3 b のそれぞれに電氣的に接続された状態で、プローブカード 1 に弾性支持されている。検査電極 2 の配線パターン 5 b の端部には、尖鋭な先端形状を有する突起電極 1 4 が形成されている。



1: プローブカード 5a, 5b: 配線パターン
2: 検査基板 13: ステンレス薄板 (弾性体)
3a, 3b: 配線パターン 14: 突起電極

【特許請求の範囲】

【請求項 1】 配線パターンが形成されたプローブカードと、前記プローブカードに形成された前記配線パターンと電気的に接続された配線パターンが形成された検査基板と、前記検査基板に形成された突起電極とを備え、前記突起電極と半導体ウエハ上の電極パッドとの電気的コンタクトをとり、半導体素子の検査を行う半導体検査装置において、前記突起電極は、尖鋭な先端形状を有することを特徴とする半導体検査装置。

【請求項 2】 配線パターンが形成されたプローブカードと、前記プローブカードに形成された前記配線パターンと電気的に接続された配線パターンが形成された検査基板と、前記検査基板に形成された突起電極とを備え、前記突起電極と半導体ウエハ上の電極パッドとの電気的コンタクトをとり、半導体素子の検査を行う半導体検査装置において、弾性体により、前記プローブカードに形成された前記配線パターンと前記検査基板に形成された前記配線パターンとを電気的に接続するとともに、前記プローブカードと前記検査基板とを一体化したことを特徴とする半導体検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、特に微小なビットの電極パッドを有する半導体素子の機能検査に適用できる半導体検査装置に関するものである。

【0002】

【従来の技術】図 4 は従来の半導体検査装置の一例を示す断面図、図 5 は従来の半導体検査装置の動作を説明する一部拡大断面図であり、図において 1 は中央に開口部 1 a が形成され、例えばガラスエポキシ等のプリント基板からなるプローブカード、2 はプローブカード 1 の開口部 1 a 下面に配設され、例えばガラス基板からなる検査基板である。3 a、3 b はそれぞれプローブカード 1 の両面のそれぞれに形成された配線パターンであり、これらの配線パターン 3 a、3 b は所定のビットで複数形成されている。4 はプローブカード 1 に形成された複数の孔内に、例えばめっき等の方法で導体を埋めて形成されたスルーホールであり、各スルーホール 4 はプローブカード 1 の両面に形成された配線パターン 3 a、3 b 同士を電気的に接続している。

【0003】5 a、5 b はそれぞれ検査基板 2 の両面のそれぞれに形成された配線パターンであり、これらの配線パターン 5 a、5 b は所定のビットで複数形成されている。6 は検査基板 2 に複数形成されたスルーホールであり、各スルーホール 6 は検査基板 2 の両面に形成された配線パターン 5 a、5 b 同士を電気的に接続している。7 は配線パターン 5 b のそれぞれの端部に形成され、平坦な端面を有する突起電極である。ここで、検査基板 2 は、検査基板 2 の上面に形成された配線パターン 5 a のそれぞれが、プローブカード 1 の下面に形成され

た配線パターン 3 b のそれぞれに、導電性接着剤 8 で電気的に接続された状態で、プローブカード 1 の開口部 1 a の下面に接着固定されて一体化されている。9 はプローブカード 1 の上面に形成された配線パターン 3 a のそれぞれに電気的に接続する複数のコンタクトピン 10 を備えた検査装置本体、11 は半導体素子（図示せず）および電極パッド 12 を備えた半導体ウエハである。

【0004】つぎに、上記従来の半導体検査装置の動作について説明する。プローブカード 1 の配線パターン 3 a のそれぞれにコンタクトピン 10 のそれぞれを接触させて、検査基板 2 と一体化されているプローブカード 1 を検査装置本体 9 にセットする。ついで、半導体ウエハ 11 の電極パッド 12 と検査基板 2 の突起電極 7 とが接触するように、半導体ウエハ 11 上に検査基板 2 を載置する。ここで、検査装置本体 9 は、コンタクトピン 10、配線パターン 3 a、3 b、スルーホール 4、配線パターン 5 a、5 b、スルーホール 6、突起電極 7 および電極パッド 12 を介して、半導体ウエハ 11 の半導体素子に電力および信号を供給し、半導体素子からの出力信号を、電極パッド 12、突起電極 7、配線パターン 5 a、5 b、スルーホール 6、配線パターン 3 a、3 b、スルーホール 4 およびコンタクトピン 10 を介して検査装置本体 9 が入力し、半導体素子が正常か異常かの機能検査を行う。

【0005】

【発明が解決しようとする課題】従来の半導体検査装置は以上のように、プローブカード 1 と検査基板 2 とが導電性接着剤 8 で接着固定され、突起電極 7 の端面形状が平坦に形成されているので、各突起電極 7 における電極パッド 12 との接触状態が一様となりやすく、特に半導体ウエハ 11 の表面と検査基板 2 の表面との平行性が保てない場合には、図 6 に示すように、突起電極 7 と電極パッド 12 との電気的な接触が十分得られず、検査の信頼性が低下するという課題があった。

【0006】この発明は、上記のような課題を解決するためになされたもので、検査基板表面と半導体ウエハ表面との平行性に拘わらず、信頼性の高い検査が行える半導体検査装置を得ることを目的とする。

【0007】

【課題を解決するための手段】この発明の請求項 1 に係る半導体検査装置は、検査基板に設けられた突起電極の先端形状を尖鋭とするものである。

【0008】また、この発明の請求項 2 に係る半導体検査装置は、弾性体によりプローブカードに検査基板を弾性的に保持させるものである。

【0009】

【作用】この発明においては、突起電極の尖鋭な先端部が、半導体ウエハ上の電極パッドに食い込み、突起電極と電極パッドとの電気的接触状態を良好とする。

【0010】また、弾性体が、弾性変形によって検査基

板表面に対する半導体ウエハ表面の傾斜を吸収し、突起電極と電極パッドとの電氣的接触状態を良好とする。

【 0 0 1 1 】

【実施例】以下、この発明の実施例を図について説明する。図 1 はこの発明の一実施例を示す半導体検査装置の断面図、図 2 および図 3 はそれぞれ図 1 に示すこの発明の半導体検査装置の動作を説明する要部断面図であり、図において図 4 および図 5 に示した従来の半導体検査装置と同一または相当部分には同一符号を付し、その説明を省略する。図において、1 3 は弾性体としてのタングステン線であり、このタングステン線 1 3 は針状に形成され、導電性接着剤 8 により一端がプローブカード 1 上の配線パターン 3 b に電氣的に接続され、さらに接着剤でプローブカード 1 に固着され、同様に他端が検査基板 2 上の配線パターン 5 a に電氣的接続状態で接着固定されている。このようにして、検査基板 2 は、タングステン線 1 3 によりプローブカード 1 に、配線パターン 5 a のそれぞれが配線パターン 3 b のそれぞれに電氣的に接続された状態で、弾性支持されている。1 4 は検査基板 2 の下面に形成された配線パターン 5 b の端部に形成された突起電極であり、この突起電極 1 4 は配線パターン 5 b の端部に例えば高硬度を有するタングステンを電解めっきにより析出した後、その先端部を尖鋭化処理、例えば電解研磨して作製している。

【 0 0 1 2 】 つぎに、上記実施例の動作について説明する。プローブカード 1 と一体化された検査基板 2 を半導体ウエハ 1 1 の電極パッド 1 2 と検査基板 2 の突起電極 1 4 とが接触するように、半導体ウエハ 1 1 上に載置する。この時、突起電極 1 4 を高硬度のタングステンで形成し、先端形状を尖鋭としており、また半導体ウエハ 1 1 上の電極パッド 1 2 は一般に A u 等の比較的硬度の低い金属で形成されているので、図 2 に示すように、突起電極 1 4 の先端部が電極パッド 1 2 に食い込み、突起電極 1 4 と電極パッド 1 2 との良好な電氣的接触を得ることができる。

【 0 0 1 3 】 ここで、検査基板 2 表面に対し半導体ウエハ 1 1 表面が傾斜していても、検査基板 2 がプローブカード 1 に弾性体であるタングステン線 1 3 で弾性支持されているので、図 3 に示すように、検査基板 2 表面に対する半導体ウエハ 1 1 の傾斜がタングステン線 1 3 の弾性変形で吸収され、検査基板 2 表面と半導体ウエハ 1 1 表面との平行性が保たれ、突起電極 1 4 と電極パッド 1 2 との良好な電氣的接触を得ることができる。

【 0 0 1 4 】 他の動作は従来の半導体検査装置と同様に動作する。

【 0 0 1 5 】 なお、上記実施例では、突起電極 1 4 としてタングステンをを用いて説明しているが、この発明はこれに限定されるものではなく、電極パッド 1 2 の材料に比べて硬度が高い金属あり、先端形状が尖鋭であればよい。

【 0 0 1 6 】 また、上記実施例では、弾性体として針状のタングステン線 1 3 をを用いて説明しているが、この発明はこれに限定されるものではなく、応力によって弾性変形する材料であればよく、例えばステンレス薄板でも同様の効果を奏する。

【 0 0 1 7 】

【発明の効果】この発明は、以上説明したように構成されているので、以下に記載されるような効果を奏する。

【 0 0 1 8 】 この発明の請求項 1 に係る半導体検査装置は、検査基板に尖鋭な先端形状を有する突起電極を設けることにより、突起電極の先端部が電極パッドに食い込み、突起電極と電極パッドとの電氣的接触が良好となり、検査の信頼性を向上することができる。

【 0 0 1 9 】 また、この発明の請求項 2 に係る半導体検査装置は、検査基板をプローブカードに弾性体で連結することにより、検査基板表面に対する半導体ウエハ表面の傾斜を弾性体の弾性変形で吸収でき、突起電極と電極パッドとの電氣的接触が良好となり、検査の信頼性を向上することができる。

【図面の簡単な説明】

【図 1】 この発明の一実施例を示す半導体検査装置の断面図である。

【図 2】 図 1 に示す半導体検査装置の動作を説明する要部断面図である。

【図 3】 図 1 に示す半導体検査装置の動作を説明する要部断面図である。

【図 4】 従来の半導体検査装置の一例を示す断面図である。

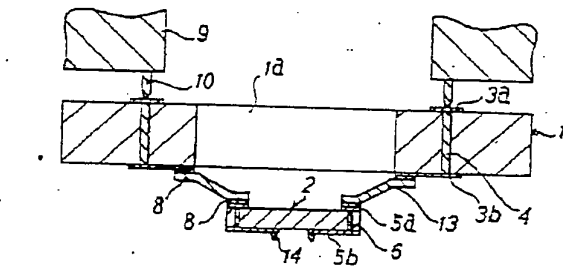
【図 5】 図 4 に示す従来の半導体検査装置の動作を説明する要部断面図である。

【図 6】 図 4 に示す従来の半導体検査装置の動作を説明する要部断面図である。

【符号の説明】

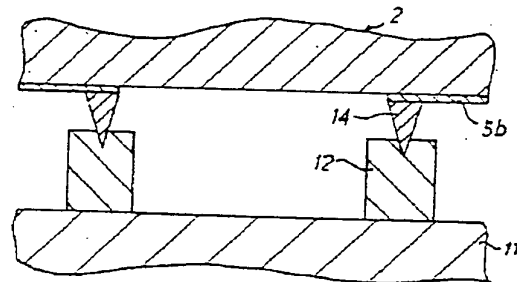
- 1 プローブカード
- 2 検査基板
- 3 a、3 b 配線パターン
- 5 a、5 b 配線パターン
- 1 3 タングステン線（弾性体）
- 1 4 突起電極

【図 1】



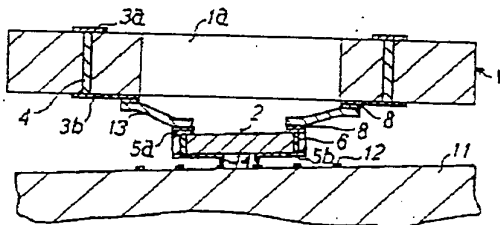
1: プローブカード 5a, 5b: 配線パターン
 2: 検査基板 13: ステンレス薄板 (弾性体) 17: 半導体ウエハ
 3a, 3b: 配線パターン 14: 突起電極

【図 2】

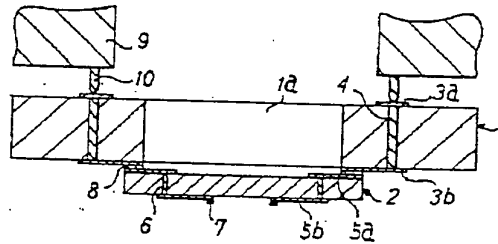


12: 電極パッド

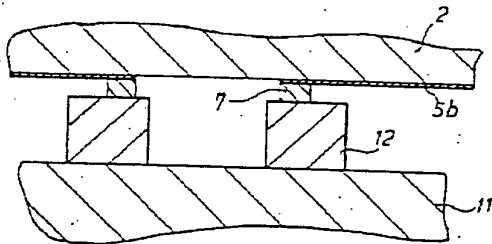
【図 3】



【図 4】



【図 5】



【図 6】

